

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-166424

⑤ Int.Cl.⁴

G 06 F 7/52

識別記号

3 1 0

庁内整理番号

A-6798-5B

④ 公開 昭和62年(1987)7月22日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 ワレスのトリート回路

⑭ 特 願 昭61-9511

⑮ 出 願 昭61(1986)1月20日

⑯ 発 明 者 遠 山 圭 川崎市中原区上小田中1015番地 富士通株式会社内

⑰ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑱ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

ワレスのトリート回路

2. 特許請求の範囲

全加算器をトリート状に配置して多入力加算を行うワレスのトリート回路において、

前記全加算器のキャリー信号とサム信号のうち通過ゲート数の少ない方の信号を優先的に次段の全加算器の入力として用いることを特徴とするワレスのトリート回路。

3. 発明の詳細な説明

〔概要〕

ワレスのトリート回路の改良であって、ワレスのトリート回路を構成する全加算器のキャリー信号とサム信号の通過ゲート数に着目し、通過ゲート数の少ない方の信号を次段の入力信号として優先的に用いることにより高速加算を可能とする。

〔産業上の利用分野〕

並列乗算器の部分積の加算に用いられるワレス

のトリート回路に関するものである。

〔従来の技術〕

第2図は7入力の加算についてのある桁に着目した従来例に係るワレスのトリート回路のブロック図である。図において7つの入力に4段の全加算器(FA)を経て2つの入力に絞られている。

このようにワレスのトリート回路を用いれば、多入力の加算を少ない段数で42入力に絞ることができるので、高速の加算が可能となる。

第3図は全加算器(FA)をノアゲート回路によって構成する回路図である。ここで、3入力a, b, cからキャリー(Carry)出力およびサム(Sum)出力にあっては2ゲートであり、サム出力にあっては3ゲートである。いまゲートあたりの遅延時間が概略等しいと仮定すると、キャリー出力の方がサム出力に比べ1ゲート分だけ速くできることを示している。

〔発明が解決しようとする問題点〕

ところで第2図に示すように、従来例の回路構成によれば第1段目の全加算器の入力の入力から第4段目の全加算器のサム出力に至るまでの最大のゲート数は、1段あたりのゲート数3(サム出力)×4段であるから12ゲートとなる。

一方、第1段目の全加算器の入力から第4段目の全加算器のキャリー出力に至るまでの最大のゲート数は、1段あたりのゲート数3(サム出力)×3段+4段目のゲート数(キャリー出力)2=11ゲートとなる。

本発明は全加算器が例えばノアゲート回路のような具体的な論理ゲート回路によって構成され、かつそのキャリー出力とサム出力の通過ゲートに相違があることを着目して創作されたものであり、高速動作が可能となる改良されたワレスのトリ回路の提供を目的とする。

〔問題点を解決するための手段〕

本発明は全加算器をトリ状に配置して多入力

3

回路のブロック図である。第2段目の全加算器から第4段目の全加算器までの3つの全加算器は縦に直列接続されている。すなわち第2段目の全加算器のサム出力は第3段目の全加算器の入力に、また第3段目のサム出力第4段目の全加算器の入力に用いられている。

しかし第1段目の全加算器のサム出力は第2段目の全加算器の入力の用いられていない。第1段目の2つの全加算器のサム出力は第3段目および第4段目の全加算器の入力に用いられている。すなわち第2段目全加算器の入力としては、直接の入力信号と前の桁の第1段目の全加算器(不図示)のキャリー出力が用いられている。

これにより、第1段目の全加算器の入力から第4段目の全加算器のサム出力に至るまでの最大のゲート数は、例えば全加算器が第3図に示すノアゲート回路によって構成されていると仮定すると、2ゲート(1段目)+3ゲート(2段目~4段目)×3=11ゲートとなる。

また第1段目の全加算器の入力から第4段目の

5

加算を行うワレスのトリ回路において、前記全加算器のキャリー信号とサム信号のうち通過ゲート数の少ない方の信号を優先的に次段の全加算器の入力として用いることを特徴とする。

〔作用〕

例えばサム信号によりキャリー信号の方が入力から出力までの通過ゲート数が少ないときには、次段の全加算器に入力する信号として、論理的に許容される範囲内でキャリー信号を用いる。これにより初段の全加算器の入力から最終段のキャリー出力およびサム出力までの通過ゲートを最少にすることが可能となる。従ってより高速の加算が可能となる。

〔実施例〕

次に図を参照しながら本発明の実施例について説明する。第1図は本発明の実施例に係る7入力加算についてのある桁に着目したワレスのトリ

4

全加算器のキャリー出力に至るまでの最大のゲート数は、2ゲート(1段目)+3ゲート(2段目, 3段目)×2+ゲート(4段目)=10ゲートとなる。

すなわち、第2図の従来例の回路に比べ、サム出力およびキャリー出力について1ゲート分ずつ少なくすることができから、加算の演算を高速にすることが可能となる。

なお実施例では全加算器をノアゲート回路によって構成する場合について説明したが、その他の論理ゲート回路によって構成する場合にも、全加算器のサム出力とキャリー出力の通過ゲート数の相違に着目してトリ回路を最適の配列構造にすることにより、高速加算が可能となる。

〔発明の効果〕

以上説明したように、全加算器のキャリー信号とサム信号の通過ゲート数の少ない信号を優先的に次段の全加算器の入力として用いることにより、初段の全加算器から最終段の全加算器の出力

6

に至るまでのキャリー信号とサム信号の通過ゲート数を減らすことができる。これにより高速の加算演算が可能となる。

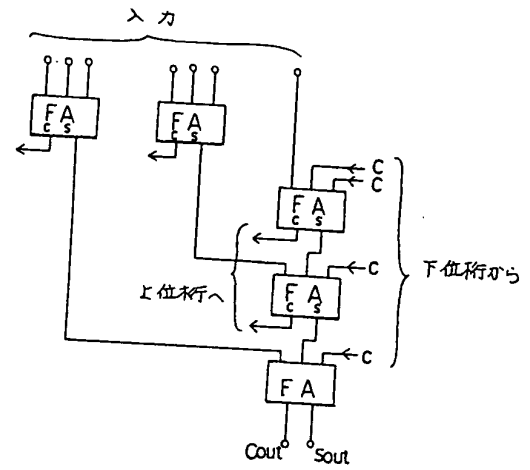
4. 図面の簡単な説明

第1図は本発明の実施例に係るワレスのトリート回路のブロック図である。

第2図は従来例に係るワレスのトリート回路のブロック図である。

第3図はノアゲート回路により構成された全加算器の回路図である。

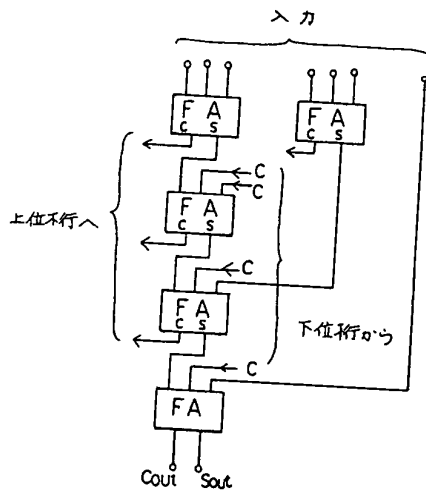
代理人 井理士 井新 貞



本発明の実施例のブロック図

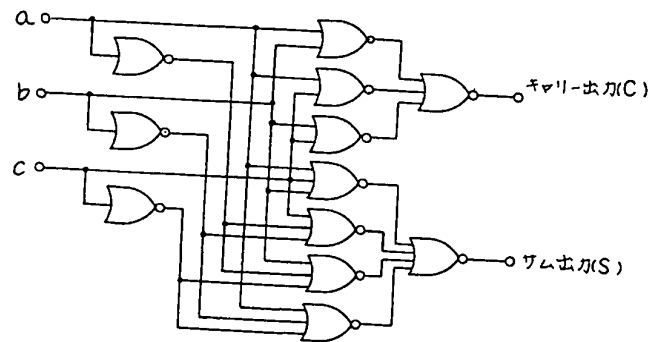
第1図

7



従来例の回路のブロック図

第2図



全加算器の回路図

第3図